

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-181159

(43)Date of publication of application : 11.07.1997

(51)Int.Cl.

H01L 21/76
H01L 21/304
H01L 21/768
H01L 27/08

(21)Application number : 07-336815

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 25.12.1995

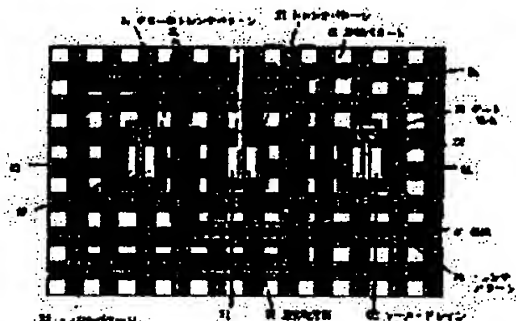
(72)Inventor : UKETA TAKAAKI
YABU TOSHIKI
YAMADA TAKAYUKI
YAMANAKA MICHINARI

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a semiconductor device in which the flatness of a trench is increased by a method wherein the distance between adjacent protruding parts partitioned and formed by dummy patterns is set at a value in a specific range and the ratio of the average area of required element regions to the area of a fundamental unit is set at a value in a specific range.

SOLUTION: Dummy patterns 27 as groove or hole array patterns are formed in a region outside an element region and in a region excluding a trench pattern 21. Protruding parts which are partitioned and formed by the dummy patterns 27 exist so as to be repeated with regularity. In addition, the distance between the adjacent protruding parts is set at 10. μ m or lower, and the ratio of the average area of required element regions to the area of a fundamental unit is set at 0.5 or higher and 2 or lower. The trench pattern and the dummy patterns are buried with an insulating film. Thereby, the dependence of a pattern on the flatness of a trench can be reduced.



LEGAL STATUS

[Date of request for examination]

06.07.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-181159

(43) 公開日 平成9年(1997)7月11日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	21/76		H 0 1 L	21/76 N
	21/304	3 2 1		21/304 3 2 1 Z
	21/768			27/08 3 3 1 D
	27/08	3 3 1		21/76 S
				21/90 V

審査請求 未請求 請求項の数14 O L (全 15 頁)

(21) 出願番号 特願平7-336815

(22) 出願日 平成7年(1995)12月25日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 受田 高明

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 藪 俊樹

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 山田 隆順

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 弁理士 岡田 和秀

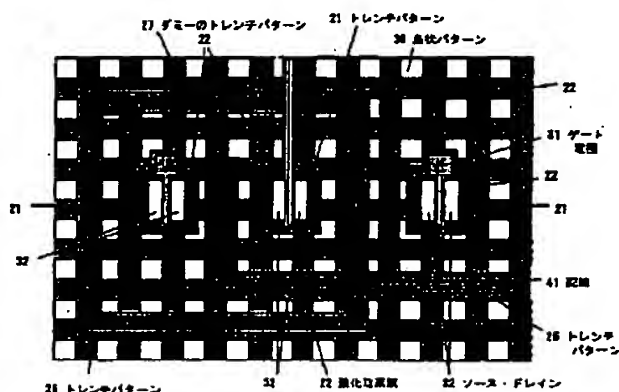
最終頁に続く

(54) 【発明の名称】 半導体装置および半導体装置の製造方法

(57) 【要約】

【課題】 CMP法もしくはエッチバック法における平坦性のパターン依存性を低減し、表面に段差のない完全平坦化が実現されたトレンチパターンを形成できるようにする。

【解決手段】 素子領域外32に、規則性を有する繰り返しの溝の配列パターンであるダミーパターン27を設け、このダミーパターン27によって凸部が一様に分布するようにし、CMP法あるいはエッチバック法のパターン依存性を低減している。



【特許請求の範囲】

【請求項1】 トレンチパターンでそれぞれ分離された複数の素子領域に素子がそれぞれ形成される半導体装置において、

前記素子領域以外の領域であって、かつ前記トレンチパターンを除いた領域に、溝または穴の配列パターンであるダミーパターンが形成され、該ダミーパターンによって区画形成された凸部は、規則性を有する繰り返して存在するとともに、隣接する凸部間の距離は、 $10\mu\text{m}$ 以下であって、かつ所要の素子領域の平均の面積と、前記凸部の繰り返しの基本単位の面積との比が、 0.5 以上 2 以下であり、前記トレンチパターンおよび前記ダミーパターンは、絶縁膜で埋設されることを特徴とする半導体装置。

【請求項2】 前記所要の素子領域は、前記複数の素子領域の全素子領域である請求項1記載の半導体装置。

【請求項3】 前記所要の素子領域は、最も形成頻度の高い素子の素子領域である請求項1記載の半導体装置。

【請求項4】 前記ダミーパターンは、規則性のある格子状である請求項1ないし3のいずれかに記載の半導体装置。

【請求項5】 前記ダミーパターンが形成されている領域内の n -ウェルと p -ウェルとの境界に、ウェル分離用トレンチパターンが形成されるとともに、このウェル分離用トレンチパターンが、前記絶縁膜で埋設される請求項1ないし4のいずれかに記載の半導体装置。

【請求項6】 前記ダミーパターンが形成されている領域内に、配線下用トレンチパターンが形成されるとともに、この配線下用トレンチパターンが前記絶縁膜で埋設され、この絶縁膜上に、前記配線下用トレンチパターンよりも幅の狭い配線が形成される請求項1ないし5のいずれかに記載の半導体装置。

【請求項7】 前記絶縁膜は、積層膜である請求項1ないし6のいずれかに記載の半導体装置。

【請求項8】 複数の素子領域の周辺部をそれぞれ囲むトレンチパターンと、溝または穴の配列パターンであるダミーパターンとの少なくとも2つのパターンを同時に形成するためのマスクパターンを形成するマスクパターン形成工程と、前記マスクパターンをマスクにしてドライエッチングによって、少なくとも前記トレンチパターンおよび前記ダミーパターンを同時に形成するエッチング工程と、絶縁膜を堆積する絶縁膜堆積工程と、化学機械研磨法にて前記絶縁膜を研磨・平坦化する研磨工程と、前記素子領域に素子を形成する素子形成工程とを備え、

前記ダミーパターンは、前記素子領域以外の領域であって、かつ前記トレンチパターンを除いた領域に形成されるものであり、前記ダミーパターンは、該ダミーパターンによって区画形成される凸部が、規則性を有する繰り返して存在するとともに、隣接する凸部間の距離は、 1

$0\mu\text{m}$ 以下であって、かつ所要の素子領域の平均の面積と、前記凸部の繰り返しの基本単位の面積との比が、 0.5 以上 2 以下となるものであることを特徴とする半導体装置の製造方法。

【請求項9】 複数の素子領域の周辺部をそれぞれ囲むトレンチパターンと、溝または穴の配列パターンであるダミーパターンとの少なくとも2つのパターンを同時に形成するためのマスクパターンを形成するマスクパターン形成工程と、前記マスクパターンをマスクにしてドライエッチングによって、少なくとも前記トレンチパターンおよび前記ダミーパターンを同時に形成するエッチング工程と、絶縁膜を堆積する絶縁膜堆積工程と、平坦化材を形成する平坦化材形成工程と、ドライエッチング技術にて前記絶縁膜と前記平坦化材とをエッチバックするエッチバック工程と、前記素子領域に素子を形成する素子形成工程とを備え、

前記ダミーパターンは、前記素子領域以外の領域であって、かつ前記トレンチパターンを除いた領域に形成されるものであり、前記ダミーパターンは、該ダミーパターンによって区画形成される凸部が、規則性を有する繰り返して存在するとともに、隣接する凸部間の距離は、 $10\mu\text{m}$ 以下であって、かつ所要の素子領域の平均の面積と、前記凸部の繰り返しの基本単位の面積との比が、 0.5 以上 2 以下となるものであることを特徴とする半導体装置の製造方法。

【請求項10】 前記所要の素子領域は、前記複数の素子領域の全素子領域である請求項8または9記載の半導体装置の製造方法。

【請求項11】 前記所要の素子領域は、最も形成頻度の高い素子の素子領域である請求項8または9記載の半導体装置の製造方法。

【請求項12】 前記マスクパターン形成工程の前記マスクパターンは、前記ダミーパターンが形成される領域内の n -ウェルと p -ウェルとのウェル分離用トレンチパターンを同時に形成するためのものであり、前記エッチング工程は、ドライエッチングによって、少なくとも前記トレンチパターン、前記ダミーパターンおよび前記ウェル分離用トレンチパターンを同時に形成するものである請求項8ないし11のいずれかに記載の半導体装置の製造方法。

【請求項13】 前記マスクパターン形成工程の前記マスクパターンは、前記ダミーパターンが形成される領域内に、配線下用トレンチパターンを同時に形成するためのものであり、前記エッチング工程は、ドライエッチングによって、少なくとも前記トレンチパターン、前記ダミーパターンおよび前記配線下用トレンチパターンを同時に形成するものであり、

前記配線下用トレンチパターンを埋設させた前記絶縁膜上に、該配線下用トレンチパターンの幅よりも狭い幅の配線を形成する配線形成工程を備える請求項8ないし1

2のいずれかに記載の半導体装置の製造方法。

【請求項14】 前記トレンチパターンおよび前記ダミーパターン内に、異なる膜からなる積層膜を形成する積層膜形成工程を備える請求項8または9記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置およびその製造方法に関する。

【0002】

【従来の技術】半導体装置の高密度化・微細化に伴い素子分離技術としてトレンチ分離技術の導入が試みられている。

【0003】このようなトレンチ分離に伴うトレンチパターンの平坦化方法としては、トレンチパターンが形成された基板上に堆積された絶縁膜の段差を埋めるように平坦化材であるレジストを被膜して全面エッチングするレジストエッチバック法、あるいは、トレンチパターンが形成された基板上に堆積された絶縁膜を、化学研磨剤、パッドなどを使用して機械的に削って平坦化する化学機械研磨法（CMP法）がある。

【0004】レジストエッチバック法による平坦化は、絶縁膜の段差に応じて平坦化材もその影響を受けざるを得ず、CMP法に比べて平坦性のパターン依存性が顕著であり、このため、CMP法は、絶縁膜の完全平坦化技術として注目を浴びている技術である。

【0005】以下、CMP法を用いた従来例について、図16に基づいて説明する。

【0006】まず、図16（a）に示されるように、活性領域形成マスク51を用いてシリコン基板11上にドライエッチングにてトレンチパターン21を形成する。

【0007】次に、図16（b）に示されるように、トレンチパターン21に絶縁膜として酸化珪素膜23を堆積する。ここで酸化珪素膜23は、トレンチパターン21の深さより厚く堆積する必要がある。

【0008】そして、図16（c）に示されるように、化学研磨材および研磨パッド61を用いたCMP法により酸化珪素膜23を研磨する。この研磨は、シリコン基板表面が露出するまで研磨が続けられ、研磨終了時には、図16（d）に示される状態となる。

【0009】次に、図16（e）に示されるように、周知の技術によりゲート電極31およびソース・ドレイン32などからなるトランジスタと配線41とを形成するのである。

【0010】

【発明が解決しようとする課題】しかしながら、このような従来例では、図16（c）に示されるように、トレンチパターン21の幅が広い場合には、酸化珪素膜表面の凹部にも研磨パッド61が押し付けられることになる。そのため、酸化珪素膜表面の凸部だけでなく凹部も

研磨されてしまい、研磨後も図16（d）に示されるように、中央の酸化珪素膜22の表面に凹みが生じることになる。特に、トレンチパターンの幅が数百 μm にも及ぶ場合には、トレンチパターンの埋め込みに用いた酸化珪素膜が全て研磨されてしまうこともある。

【0011】このように、CMP研磨後も段差が形成されてしまうため、リソグラフィ工程における焦点深度を確保することができず、素子の微細化に当たっての問題点となっている。

10 【0012】これに対して、特開平3-278533号公報に記載されている半導体装置を、MOSデバイスに適用した図17に示される構成が考えられる。なお、図17において、図16に対応する部分には、同一の参照符号を付す。

【0013】この図17のデバイスは、活性領域33周辺部にトレンチパターン21を形成するとともに、配線41下にも活性領域周辺部と同じ構造、すなわち、深さと幅が同じであるトレンチパターン25を形成するものである。しかも、トレンチ25の幅は、配線41の幅よりも狭く、配線41とシリコン基板11を絶縁するために絶縁膜として酸化珪素膜75が形成されている。このように、配線下にトレンチパターン25を形成することにより、配線41とシリコン基板11間の容量を低減する効果を得ることができるものである。

【0014】この図17に示される従来例では、トレンチパターンの幅がどこも同じであって、図16の従来例のように広い幅を持つトレンチパターンは存在しなくなるため、CMP研磨の際に、絶縁膜表面の凹部の研磨を防ぐことができる。

30 【0015】しかしながら、CMP法による平坦化技術においては、凸部の表面積が広いほど研磨に要する時間が長くなるために、図17の従来例では、凸部の表面積が狭い領域のトレンチパターン内の絶縁膜が必要以上に研磨されることになり、表面の平坦性が損なわれることになる。

【0016】また、半導体マスクの合せずれが存在しない場合には、半導体装置の断面構造は図18（a）に示されるようになり、配線41と基板11間の容量は最小となるが、配線の微細化に伴い、図18（b）に示されるようにマスクの合せずれにより配線下にトレンチパターン25が存在しなくなる割合が増大し、容量が増大するという問題が発生する。これは加工寸法の微細化に対し、リソグラフィ工程における半導体マスクの合せずれ精度の向上は困難であるためであり、例えば、0.4 μm の加工寸法に対し、加工寸法の30～50%にも及ぶ合せずれが発生する。

【0017】本発明は、上述の技術的課題に鑑みて為されたものであって、CMP法あるいはエッチバック法によるトレンチの平坦性を高めてリソグラフィ工程における焦点深度の問題を解消することを主たる目的とし、

さらには、半導体マスクの合せずれによる配線と基板間の容量増大を防ぐことを目的とする。

【0018】

【課題を解決するための手段】本発明は、トレンチパターンでそれぞれ分離された複数の素子領域に素子がそれぞれ形成される半導体装置において、前記素子領域以外の領域であって、かつ前記トレンチパターンを除いた領域に、溝または穴の配列パターンであるダミーパターンが形成され、該ダミーパターンによって区画形成された凸部は、規則性を有する繰り返しで存在するとともに、隣接する凸部間の距離は、 $1.0\mu\text{m}$ 以下であって、かつ所要の素子領域の平均の面積と、前記凸部の繰り返しの基本単位の面積との比が、 0.5 以上 2 以下であり、前記トレンチパターンおよび前記ダミーパターンは、絶縁膜で埋設されるものである。

【0019】本発明の半導体装置によれば、素子領域外に、規則的な繰り返しの溝または穴の配列パターンであるダミーパターンを設け、このダミーパターンによって区画形成された凸部が規則的な繰り返しのパターンで配置されて凸部が一様に分布するように構成されているので、トレンチの平坦性のパターン依存性が低減されることになり、CMP法あるいはエッチバック法によるトレンチの平坦性を高めることができ、リソグラフィ工程における焦点深度の問題を解消することができる。

【0020】

【発明の実施の形態】請求項1記載の本発明は、トレンチパターンでそれぞれ分離された複数の素子領域に素子がそれぞれ形成される半導体装置において、前記素子領域以外の領域であって、かつ前記トレンチパターンを除いた領域に、溝または穴の配列パターンであるダミーパターンが形成され、該ダミーパターンによって区画形成された凸部は、規則性を有する繰り返しで存在するとともに、隣接する凸部間の距離は、 $1.0\mu\text{m}$ 以下であって、かつ所要の素子領域の平均の面積と、前記凸部の繰り返しの基本単位の面積との比が、 0.5 以上 2 以下であり、前記トレンチパターンおよび前記ダミーパターンは、絶縁膜で埋設される構成としたものであり、このダミーパターンによって、トレンチの平坦性のパターン依存性を低減してCMP法あるいはエッチバック法によるトレンチの平坦性を高めることができ、これによって、リソグラフィ工程における焦点深度の問題を解消することができる。

【0021】請求項2あるいは3記載の本発明は、所要の素子領域を、前記複数の素子領域の全素子領域あるいは最も形成頻度の高い素子領域としており、ダミーパターンが、素子分離用のトレンチパターンに応じたものとなり、トレンチの平坦性を一層高めることができる。

【0022】請求項4記載の本発明は、前記ダミーパターンを、規則性のある格子状としており、比較的簡単な構成のダミーパターンによってトレンチの平坦性を高め

ることができる。

【0023】請求項5記載の本発明は、前記ダミーパターンが形成されている領域内の n -ウェルと p -ウェルとの境界に、ウェル分離用トレンチパターンが形成されるとともに、このウェル分離用トレンチパターンが、前記絶縁膜で埋設される構成としたものであり、これによって、 n -ウェルと p -ウェルとが電氣的に完全に分離され、不純物の拡散を防ぐことができ、デバイスの特性が向上する。

【0024】請求項6記載の本発明は、前記ダミーパターンが形成されている領域内に、配線下用トレンチパターンが形成されるとともに、この配線下用トレンチパターンが前記絶縁膜で埋設され、この絶縁膜上に、前記配線下用トレンチパターンよりも幅の狭い配線が形成されるものであり、配線と基板間の容量を低減することができるとともに、半導体マスクの合せずれによる配線と基板間の容量増大を防ぐことができる。

【0025】請求項7記載の本発明は、前記絶縁膜を、積層膜としたものであり、例えば、ポリシリコン等の埋め込み特性に優れた積層膜を用いることにより、素子の微細化を図ることができる。

【0026】請求項8記載の本発明の半導体装置の製造方法は、複数の素子領域の周辺部をそれぞれ囲むトレンチパターンと、溝または穴の配列パターンであるダミーパターンとの少なくとも2つのパターンを同時に形成するためのマスクパターンを形成するマスクパターン形成工程と、前記マスクパターンをマスクにしてドライエッチングによって、少なくとも前記トレンチパターンおよび前記ダミーパターンを同時に形成するエッチング工程と、絶縁膜を堆積する絶縁膜堆積工程と、化学機械研磨法にて前記絶縁膜を研磨・平坦化する研磨工程と、前記素子領域に素子を形成する素子形成工程とを備え、前記ダミーパターンは、前記素子領域以外の領域であって、かつ前記トレンチパターンを除いた領域に形成されるものであり、前記ダミーパターンは、該ダミーパターンによって区画形成される凸部が、規則性を有する繰り返しで存在するとともに、隣接する凸部間の距離は、 $1.0\mu\text{m}$ 以下であって、かつ所要の素子領域の平均の面積と、前記凸部の繰り返しの基本単位の面積との比が、 0.5 以上 2 以下となるものであり、これによって、CMP法によるトレンチの平坦性を高めることができ、リソグラフィ工程における焦点深度の問題を解消することができる。

【0027】請求項9記載の本発明の半導体装置の製造方法は、複数の素子領域の周辺部をそれぞれ囲むトレンチパターンと、溝または穴の配列パターンであるダミーパターンとの少なくとも2つのパターンを同時に形成するためのマスクパターンを形成するマスクパターン形成工程と、前記マスクパターンをマスクにしてドライエッチングによって、少なくとも前記トレンチパターンおよ

び前記ダミーパターンを同時に形成するエッチング工程と、絶縁膜を堆積する絶縁膜堆積工程と、平坦化材を形成する平坦化材形成工程と、ドライエッチング技術にて前記絶縁膜と前記平坦化材とをエッチバックするエッチバック工程と、前記素子領域に素子を形成する素子形成工程とを備え、前記ダミーパターンは、前記素子領域以外の領域であって、かつ前記トレンチパターンを除いた領域に形成されるものであり、前記ダミーパターンは、該ダミーパターンによって区画形成される凸部が、規則性を有する繰り返しで存在するとともに、隣接する凸部間の距離は、 $10\mu\text{m}$ 以下であって、かつ所要の素子領域の平均の面積と、前記凸部の繰り返しの基本単位面積との比が、 0.5 以上 2 以下となるものであり、これによって、エッチバック法によるトレンチの平坦性を高めることができ、リソグラフィ工程における焦点深度の問題を解消することができる。

【0028】請求項10または11記載の本発明の半導体装置の製造方法は、所要の素子領域を、前記複数の素子領域の全素子領域あるいは最も形成頻度の高い素子領域としており、ダミーパターンが、素子分離用のトレンチパターンに応じたものとなり、CMP法あるいはエッチバック法によるトレンチの平坦性を一層高めることができる。

【0029】請求項12記載の本発明の半導体装置の製造方法は、前記マスクパターン形成工程の前記マスクパターンは、前記ダミーパターンが形成される領域内の n -ウェルと p -ウェルとのウェル分離用トレンチパターンを同時に形成するためのものであり、前記エッチング工程は、ドライエッチングによって、少なくとも前記トレンチパターン、前記ダミーパターンおよび前記ウェル分離用トレンチパターンを同時に形成するものであり、これによって、 n -ウェルと p -ウェルとが電気的に完全に分離され、不純物の拡散を防ぐことができ、デバイスの特性が向上する。

【0030】請求項13記載の本発明の半導体装置の製造方法は、前記マスクパターン形成工程の前記マスクパターンは、前記ダミーパターンが形成される領域内に、配線下用トレンチパターンを同時に形成するためのものであり、前記エッチング工程は、ドライエッチングによって、少なくとも前記トレンチパターン、前記ダミーパターンおよび前記配線下用トレンチパターンを同時に形成するものであり、前記配線下用トレンチパターンを埋没させた前記絶縁膜上に、該配線下用トレンチパターンの幅よりも狭い幅の配線を形成する配線形成工程を備えるものであり、これによって、配線と基板間の容量を低減することができるとともに、半導体マスクの合せずれによる配線と基板間の容量増大を防ぐことができる。

【0031】請求項14記載の本発明の半導体装置の製造方法は、前記トレンチパターンおよび前記ダミーパターン内に、異なる膜からなる積層膜を形成する積層膜形

成工程を備えており、例えば、ポリシリコン等の埋め込み特性に優れた積層膜を用いることにより、素子の微細化を図ることができる。

【0032】以下、図面によって本発明の実施の形態について、詳細に説明する。

【0033】（実施の形態1）図1は、本発明の一つの実施の形態に係る半導体装置を上方から見た平面図であり、図2は、図1におけるダミーパターンを取り除いた要部の平面図であり、また、図3は、図2の要部を拡大して示す構造断面図および平面図である。

【0034】この実施の形態では、ゲート電極32およびソース・ドレイン領域32から形成されている素子領域としての活性領域33外の領域には、配線41、素子分離用のトレンチパターン21、配線下用のトレンチパターン25、 n -ウェル34と p -ウェル35を分離するウェル分離用のトレンチパターン26、溝の配列パターンが格子状に形成されたダミーパターン27が形成されており、これらのパターンは、酸化珪素膜22で埋没されている。以下各構成について具体的に説明する。

【0035】活性領域33の周辺部のトレンチパターン21は、活性領域33をリング状に取り囲むように一定の幅を持って存在し、酸化珪素膜22で埋め込まれている。このトレンチパターン21は、素子分離として機能するものであり、そのため、このトレンチパターン21の幅は、素子分離として機能可能な最小幅以上であればよい。なお、前記最小幅は、半導体デバイスの世代や特性、半導体製造プロセス条件により決定されるのは言うまでもない。

【0036】一方、最大幅は、CMP法による研磨で掘れ下がりが発生しない限界で決定される。若しくはトレンチパターン上に形成される配線が、掘れ下がりが発生しても焦点深度上問題ない範囲で決定される。この最大幅は、CMP法における研磨条件、例えば、圧力、回転数、パッド材質、研磨材の種類などによって変わることは言うまでもない。

【0037】ダミーパターン27は、後述の図12

(a)にも示されるように、CMP法あるいはエッチバック法によるトレンチの平坦化のパターン依存性を低減するためのものであり、所要の単位面積当たりのパターンの面積密度をほぼ一定にするために、すなわち、凸部の分布が一様になるようにするために、この実施の形態では、規則正しく配列された格子状になっており、さらに、ダミーパターン27によって区画形成された凸部である島状パターン36は、隣接する島状パターン36ととの間の距離が、CMP法による研磨で掘れ下がりが発生しない距離である $10\mu\text{m}$ 以下とされている。

【0038】また、一般に、CMP法による平坦化技術においては、表面の凸部を構成している面積が狭いほど研磨速度が速くなる。表面の凸部を構成している面積が広いパターンほど研磨に要する時間が長くなるために、

凸部面積の狭い領域部では、トレンチパターン内の絶縁膜が必要以上に研磨されることになり、表面の平坦性が損なわれることになる。

【0039】そのため、本発明におけるトレンチパターンの平坦化にCMP法を適用することを考慮すれば、ダミーパターン27により区画形成された繰り返しの基本単位となる矩形の島状パターン36の一つの面積は、最も繰り返し多く使われているような半導体素子の素子領域を選び、その半導体素子のソース・ドレイン領域の面積にほぼ等しくすることが望ましい。さらに平坦性のパターン依存性を小さくするためには、所要の単位面積当りのパターン面積密度をほぼ一定に保つようにするとよい。

【0040】ところが、ロジックLSIでは、同一チップ内の半導体素子の大きさは、一定ではなく、また配列も一定でないために、単位面積当たりのパターン面積密度を一定に保つのは困難である。そこで、ソース・ドレイン領域の一つ当たりの平均の面積と、ダミーパターンの繰り返しの基本単位である島状パターンの一つの面積がほぼ一定になるようにする。

【0041】一方でCMP法における上記のような平坦性のパターン依存性は、CMPの研磨条件、例えば、圧力、回転数、パッド材質、研磨材の種類などによって変わるので、ソース・ドレイン領域一つ当たりの平均の面積とダミーパターンにより区画形成された島状パターンの一つの面積との比率に幅を持たせることが可能である。実際には、上記面積の比率は、0.5以上2以下であれば問題ない。

【0042】すなわち、本発明では、素子領域の平均面積とダミーパターンによる凸部の繰り返しの基本単位の面積との比率を、0.5以上2以下とするものであり、この実施の形態では、ソース・ドレイン領域32の平均の面積と島状パターン36の一つの面積との比率を、0.5以上2以下にすればよい。

【0043】なお、全素子領域の平均面積に代えて、最も形成頻度の高い素子の素子領域の平均面積を用いてもよい。

【0044】また、半導体メモリにおいては、メモリーセル部が半導体チップ内で最も占有面積が大きくなるため、島状パターンの面積は、メモリーセルを構成するソース・ドレイン領域部とほぼ同じ面積とすることで、単位面積当たりのパターン面積密度はほぼ一定になる。

【0045】この実施の形態では、トレンチパターン26の存在により、n-ウェル34とp-ウェル35とを電気的に分離するものであり、n-ウェル34とp-ウェル35の境界のトレンチパターン26の幅は、ウェル間分離として機能可能な最小幅以上であればよい。なお、前記最小幅は、半導体デバイスの世代や特性、半導体製造プロセス条件により決定されるのは言うまでもない。一方、最大幅は、CMP法による研磨で掘れ下がり

が発生しない限界で決定される。若しくは、トレンチパターン上に形成される配線が、掘れ下がりが発生しても焦点深度上問題ない範囲で決定される。この最大幅は、CMP法における研磨条件、例えば、圧力、回転数、パッド材質、研磨材の種類などによって変わることは言うまでもない。

【0046】配線41下のトレンチパターン25は、配線41と酸化珪素膜22が直接接している場合には、シリコン基板との絶縁体として機能する。そのため、トレンチパターン25の特徴として、図3(a)の半導体装置の構造断面図に示すように、配線パターン41とトレンチパターン25とのマスクの合せずれ、配線41とシリコン基板間のオーバーラップ容量を考慮して、トレンチパターン25の幅は配線41の幅より広くなっている。

【0047】配線パターン41とトレンチパターン25の合わせマージンは、片側で、マスクの最大合せずれ量以上の幅を持っていればよい。つまりトレンチパターン25の幅は、{(配線幅)+(最大合せずれ量の2倍)}以上であれば、図4のように合せずれが発生しても、配線41とシリコン基板11が接触することはない。なお、合わせマージンも半導体製造プロセス条件等によって変わることは言うまでもない。

【0048】なお、この実施の形態においてはトレンチパターンへの埋め込み膜に酸化珪素膜を用いているが、窒化珪素膜のような他の絶縁膜を用いてもよい。また、CVD酸化膜と熱酸化膜のように異なった膜を積層化して用いても構わない。

【0049】以上のような構成を有する半導体装置では、次のような作用効果を奏する。

【0050】すなわち、凸部の分布が一様となってパターン面積密度が一定となるような規則性を有するダミーパターンが存在するという構成により、トレンチの平坦化にCMP法を適用した場合に、研磨速度のパターン依存性を低減し、埋め込みに用いている酸化珪素膜22の研磨時のオーバーエッチング量を減らせるという効果を奏することができる。

【0051】また、CMP法に代わりレジストエッチバック法などのドライエッチング技術を用いた平坦化でも平坦性のパターン依存性を低減することが可能となる。平坦性のパターン依存性低減により、トレンチの完全平坦化が可能となり、リソグラフィ工程における焦点深度確保の問題が解決可能となる。

【0052】さらに、n-ウェルとp-ウェルの境界にトレンチパターン26が存在するという構成により、n-ウェルとp-ウェル間が電気的に完全に分離され、不純物の拡散を防ぐことができ、デバイス特性が向上するという効果を奏することができる。

【0053】また、配線下のトレンチパターン25は、半導体マスクの合せずれ、配線とシリコン基板間のオー

オーバーラップ容量を考慮して配線幅より広くなっており、配線とトレンチパターンとの間に絶縁膜がなくても合せずれによる配線とシリコン基板の接触はなく、さらに、従来例のように合せずれにより配線直下にトレンチパターンが存在しなくなり、容量が増大するというようなことはない。

【0054】この実施の形態では、ダミーパターン27が溝の配列パターンであって、凸部が島状で、かつ格子状に形成されたけれども、規則的な繰り返しのパターンであって、凸部間の距離および面積比率が上述の条件を満たすれば、ダミーパターンの形状や配列は問わない。また凹凸逆の状態、つまりダミーパターン27が、穴状に点在する穴の配列パターンである場合も同様に実施可能である。この場合は、ダミーパターンによって区画形成される凸部が連続することになるが、繰り返しの基本単位は、図12に示されるL字状の部分Aとなる。

【0055】（実施の形態2）図5は、本発明の実施の形態2に係る半導体装置の要部の構造断面図であり、上述の実施の形態1に対応する部分には、同一の参照符号を付す。

【0056】上述の実施の形態1では、トレンチパターンの埋め込みに酸化珪素膜を用いたけれども、この実施の形態2では、酸化珪素膜に代えてポリシリコンを用いたものである。

【0057】すなわち、トレンチパターン21、25、26およびダミーパターン27は、ポリシリコン72と酸化珪素膜71により埋め込まれており、さらにトレンチパターン上部が酸化珪素膜73で覆われており、ポリシリコン72と配線41が直接接することはない。その他の構成は、上述の実施の形態1と同様である。

【0058】このようにポリシリコン72のまわりに酸化珪素膜71、73が存在するのは、ポリシリコン中の不純物拡散による素子の特性劣化を防ぎ、絶縁性を高めるためである。

【0059】さらにポリシリコンは酸化珪素膜より埋め込み特性に優れており、より高いアスペクト比を持つ溝を埋め込むことが可能である。よって、トレンチパターン埋め込みにポリシリコンを用いることでトレンチパターンの幅を狭くすることが可能となり、素子の微細化を一層進めることが可能になる。

【0060】（実施の形態3）図6は、本発明の実施の形態3に係る半導体装置の要部の断面図であり、上述の実施の形態1に対応する部分には、同一の参照符号を付す。

【0061】この実施の形態3は、トレンチパターンおよび活性領域33からなる半導体基板と配線42との間に絶縁膜層が存在するものである。

【0062】すなわち、半導体基板11と配線42との間に絶縁膜として酸化珪素膜74が形成されている。その他の構成は、上述の実施の形態1と同様である。

【0063】この実施の形態3では、配線形成前に半導体基板11上に酸化珪素膜層74を形成するため、上述の実施の形態1に比べて、活性領域周辺を迂回することなく活性領域33上を配線42が横切ることが可能となり、素子の高集積化が可能となるという効果が生まれる。

【0064】（実施の形態4）次に、上述の実施の形態1に係る半導体装置の製造方法について、図面に基づいて説明する。

10 【0065】まず、半導体装置を得るために必要な半導体マスクの作製方法について図7～図13に基づいて、説明する。

【0066】この実施の形態では、活性領域形成マスク、ゲート電極パターン形成マスク、配線パターン形成マスク、n-ウェル形成マスク、格子状ダミーパターン形成用データを利用して、計算機を用いて自動的にトレンチパターン形成マスクを作製し、1枚の半導体マスクですべてのトレンチパターンを一度に形成できるようにするものである。

20 【0067】トレンチパターン形成マスクは、図7（a）の活性領域形成マスク、図7（b）のゲート電極パターン形成マスクおよび図7（c）の配線パターン形成マスクの3枚の半導体マスクデータに対して、次のような手順で計算機処理することにより自動的に得られるものである。

【0068】まず、手順1として、図8（a）に示されるように、活性領域101を図形的に一定幅で拡大して第1の中間マスク領域102を形成する。このときの拡大幅は、素子分離が可能な最小幅以上で、かつ最大幅はCMP法による研磨で掘れ下がりが発生する限界以下に設定する。なお、前記最小幅は、半導体デバイスの世代や特性、半導体製造プロセス条件により決定されるのは言うまでもない。

30 【0069】次に、手順2として、図8（b）に示されるように、ゲート電極パターン201を図形的に一定幅で拡大して第2の中間マスク領域202を形成する。このときの拡大幅は、発生しうるマスクの最大合せずれ量以上に設定する。

40 【0070】手順3として、図8（c）に示されるように、配線パターン301を図形的に一定幅で拡大して第3の中間マスク領域302を形成する。このときの拡大幅は、発生しうるマスクの最大合せずれ量以上に設定する。

【0071】手順4として、図9（a）に示されるように、活性領域101を図形的に単純に反転させ第4の中間マスク領域103を形成する。

【0072】なお、手順1、手順2、手順3、手順4の実施順序は問わない。

50 【0073】次に、手順5として、図9（b）に示されるように、第1の中間マスク領域102、第2の中間マ

スク領域202、第3の中間マスク領域302の論理和をとり、第5の中間マスク領域401を形成する。

【0074】次に、手順6として、図10(b)に示されるように、図10(a)のn-ウェル領域501を図形的に一定幅で拡大して第6の中間マスク領域502を形成する。

【0075】手順7として、図11(a)に示されるように、第6の中間マスク領域502から、n-ウェル領域501を図形的に一定幅で縮小して得られた第7の中間マスク領域503を引いて第8の中間マスク領域504を形成する。

【0076】ここで、図10(b)、図11(a)における拡大幅、縮小幅は、n-ウェルとp-ウェルが電気的に分離が可能な最小幅以上で、かつ最大幅はCMP法による研磨で掘れ下がりが発生する限界以下に設定する。なお、前記最小幅は、半導体デバイスの世代や特性、半導体製造プロセス条件により決定されるのは言うまでもない。

【0077】手順8として、図11(b)に示されるように、図9(b)で形成した第5の中間マスク領域401と第8の中間マスク領域504の論理和をとり、第9の中間マスク領域411を形成する。

【0078】次に手順9として、図12(a)に示されるように、ダミー領域602を格子状に配した格子状ダミーパターン601のマスクデータを用意する。ここで斜線で覆われた領域が図形的に囲まれた領域である。なお、Aは上述の他の実施の形態の繰り返しの基本単位である。CMPの研磨速度のパターン依存性を防ぐためにダミーパターンのパターン面積密度は一定である。さらにダミー領域602、すなわち、凸部となる島状パターンの面積は、図7(a)に示した活性領域パターン101の面積と同じにすることが望ましい。

【0079】手順10として、図12(b)に示されるように、図11(b)で形成した第9の中間マスク領域411と格子状ダミーパターン601の論理和をとり、第10の中間マスク領域421を形成する。

【0080】次に手順11として、図13(a)に示されるように、図9(a)で形成した第4の中間マスク領域103と第12の中間マスク領域421の論理積をとり第11の中間マスク領域422を形成する。

【0081】手順12として、図13(b)に示されるように、第11の中間マスク領域422を図形的に単純に反転させる。このとき得られる半導体マスクデータがトレンチパターン形成マスクとなり、図面の白抜き部であるパターン424がトレンチパターン形成部となる。

【0082】ここでは、n-ウェル形成用のマスクデータを用いた場合を想定して説明したが、p-ウェル形成用のマスクデータを用いても同様に実施可能である。

【0083】なお、ここで述べた半導体マスクの作製方法は特定のマスク処理論理式にしたがってマスク作製を

行った一例であって、同様の論理式で与えられるならば手順の変更をしても同様の構成の半導体マスクを作製することが可能である。

【0084】上記のようにして作製された半導体マスクを用いて、実際の半導体装置の製造工程について説明する。

【0085】先ず、図14(a)に示されるように、上述のようにして作製したトレンチパターン形成マスクを用いてシリコン基板11上にレジストパターン81を形成し、ドライエッチングにてトレンチパターン21、25、ダミーパターン27、ウェル分離用トレンチパターン26を形成する。

【0086】トレンチパターン形成マスクには、活性領域周辺部に配置される素子分離用トレンチパターン21、配線下に配置されるトレンチパターン25、n-ウェルとp-ウェル境界部に形成されるウェル分離用トレンチパターン26、格子状トレンチパターンであるダミーパターン27の全てが描かれているために、1度で所望のトレンチパターンが形成される。また、この時形成されるトレンチパターン25は、後に形成される配線41の幅より広がっている。

【0087】次に、図14(b)に示されるように、トレンチパターン21、25、27に絶縁膜として酸化珪素膜23を堆積する。ここで酸化珪素膜23は、トレンチパターンの深さより厚く堆積する必要がある。

【0088】そして、図14(c)に示されるように、CMP法により酸化珪素膜23を研磨する。シリコン基板表面が露出するまで研磨を続け、図14(d)に示される状態とする。

【0089】次に、図14(e)に示されるように、周知の技術によりゲート電極31およびソース・ドレイン領域32などからなるトランジスタと配線41を形成し、上述の実施の形態の半導体装置を得るものである。

【0090】この実施の形態の製造方法によれば、格子状のダミーパターンがパターン面積密度がほぼ一定になるように配置されているために、従来例のようなCMP法によるトレンチパターンの凹部の掘れ下がりというような平坦性のパターン依存性を防ぐことができるとともに、研磨速度のパターン依存性を防ぎ、埋め込みに用いている絶縁膜の研磨時のオーバーエッチング量を減らすことができるため、研磨後には段差のない表面状態が得られる。したがって、リソグラフィ工程における焦点深度を十分に確保でき、素子の微細化を容易にする。

【0091】なお、この実施の形態におけるトレンチパターン形成マスクは、活性領域形成マスク、ゲート電極パターン形成マスク、配線パターン形成マスク、ウェル形成マスク等のマスクデータおよび格子状ダミーパターンデータから自動的に作製される。よってトレンチパターン形成用に新たにマスク入力を行う必要はない。そのため、従来から所有している半導体マスクデータに対し

てもそのまま適用することができ、過去の資産を有効に活用できる。

【0092】また、本発明の半導体装置を製造するにあたっては、従来の活性領域形成マスクをトレンチパターン形成マスクに置き換えるだけでよく、新たに工程が増えることはない。

【0093】なお、図5に示した実施の形態の半導体装置の製造方法に関しては、この実施の形態における製造方法に、ポリシリコンと酸化珪素膜の積層膜堆積工程、ポリシリコン上の酸化膜形成工程を加えるだけで実施可能であり、また、図6に示した実施の形態の半導体装置の製造方法に関しては、この実施の形態における製造方法に、絶縁膜堆積工程を加えるだけで実施可能であり、共に、この実施の形態と同様の効果を奏することが可能である。

【0094】（実施の形態5）次に、本発明の他の実施の形態に係る半導体装置の製造方法について、図面を用いて説明する。

【0095】先ず、上述の実施の形態4と同様にして、半導体マスク、すなわち、トレンチパターン形成マスクを作製する。

【0096】次に、図15（a）に示されるように、作製したトレンチパターン形成マスクを用いてシリコン基板11上にレジストパターン81を形成し、ドライエッチングにてトレンチパターン21、25、ダミーパターン27、ウェル分離用トレンチパターン26を形成する。トレンチパターン形成マスクには、活性領域周辺部に配置される素子分離用トレンチパターン21、配線下に配置されるトレンチパターン25、n-ウェルとp-ウェル境界部に形成されるウェル分離用トレンチパターン26、格子状トレンチパターンであるダミーパターン27の全てが描かれているために、1度で所望のトレンチパターンが形成される。また、この時形成されるトレンチパターン25は、後に形成される配線41の幅より広がっている。

【0097】次に、図15（b）に示されるように、トレンチパターン21、25、26、27に絶縁膜として酸化珪素膜23を堆積する。ここで酸化珪素膜23は、トレンチパターンの深さより厚く堆積する必要がある。

【0098】そして、図15（c）に示されるように、表面を平坦化するために平坦化レジスト82を塗布する。トレンチパターンの最大幅が1～1.5μmであれば酸化珪素膜堆積条件、レジスト塗布条件だけで完全平坦化が可能である。仮に2μm以上の広大な幅のトレンチパターンが存在する場合は、平坦化レジストを塗布する前に、表面凹部にレジストブロックを形成しておけばよい。

【0099】次に、図15（d）に示されるように、酸化珪素膜23と平坦化レジスト82のエッチングレートが等しくなるドライエッチング技術を用いてエッチバック

クする。

【0100】そして、図15（e）に示されるように、周知の技術によりゲート電極31およびソース・ドレイン領域32などからなるトランジスタと配線41を形成して、上述の実施の形態の半導体装置を得るものである。

【0101】この実施の形態の製造方法によれば、格子状のダミーパターンがパターン面積密度がほぼ一定となるように配置されているために、酸化珪素膜23、平坦化レジスト82の膜厚ばらつきを無くすことができ、また、単位面積当りのパターン開口率が半導体基板面内で一定であるために、エッチングレートのパターン開口率依存性を防ぐことができる。

【0102】したがって、ドライエッチング技術を用いたエッチバック法でも、パターン依存性のない完全平坦化を実現でき、リソグラフィ工程における焦点深度を十分に確保でき、素子の微細化を容易にする。

【0103】なお、図5に示した実施の形態の半導体装置の製造方法に関しては、この実施の形態における製造方法に、ポリシリコンと酸化珪素膜の積層膜堆積工程、ポリシリコン上の酸化膜形成工程を加えるだけで実施可能であり、また、図6に示した実施の形態の半導体装置の製造方法に関しては、この実施の形態における製造方法に、絶縁膜堆積工程を加えるだけで実施可能であり、共に、この実施の形態と同様の効果を奏することが可能である。

【0104】なお、上述の各実施の形態では、MOSトランジスタに適用して説明したけれども、本発明は、MOSトランジスタに限らず、他の素子にも同様に適用できるのは勿論である。

【0105】

【発明の効果】以上のように本発明では、凸部の分布が一様となってパターン面積密度がほぼ一定になるような規則性の繰り返しパターンであるダミーパターンを設けることにより研磨速度のパターン依存性を低減することができ、表面に段差の無い完全平坦化が実現されたトレンチパターンを形成することができ、リソグラフィ工程における焦点深度を向上させるとともに素子の微細化に寄与するものであり、平坦化にドライエッチング技術を適用した場合にもパターン依存性の無い完全平坦化が実現できる。

【0106】また、配線下のトレンチパターンにおいては、半導体マスクの合せずれが発生しても配線下には必ずトレンチパターンが存在するため、配線と基板間の寄生容量を小さくすることができ、半導体装置の高速化にも寄与することができる。

【図面の簡単な説明】

【図1】本発明の実施の形態1に係る半導体装置の平面図である。

【図2】図1の半導体装置からダミーパターンを除いた

17

要部の平面図である。

【図3】図2の要部を拡大した構造断面図および平面図である。

【図4】半導体マスクの合わせずれを示す構造断面図である。

【図5】本発明の実施の形態2に係る半導体装置の構造断面図である。

【図6】本発明の実施の形態3に係る半導体装置の構造断面図である。

【図7】本発明の半導体装置の製造方法における半導体マスクの作製方法を示す図である。

【図8】本発明の半導体装置の製造方法における半導体マスクの作製方法を示す図である。

【図9】本発明の半導体装置の製造方法における半導体マスクの作成方法を示す図である。

【図10】本発明の半導体装置の製造方法における半導体マスクの作成方法を示す図である。

【図11】本発明の半導体装置の製造方法における半導体マスクの作成方法を示す図である。

【図12】本発明の半導体装置の製造方法における半導体マスクの作成方法を示す図である。

【図13】本発明の半導体装置の製造方法における半導体マスクの作成方法を示す図である。

18

【図14】本発明の実施の形態4に係る半導体装置の製造方法を示す構造断面図である。

【図15】本発明の実施の形態5に係る半導体装置の製造方法を示す構造断面図である。

【図16】従来例の製造方法を示す構造断面図である。

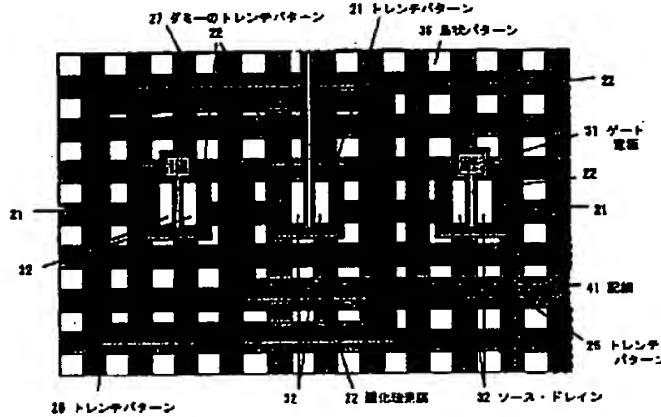
【図17】従来例の半導体装置の構造断面図である。

【図18】半導体マスクの合わせずれを示す構造断面図である。

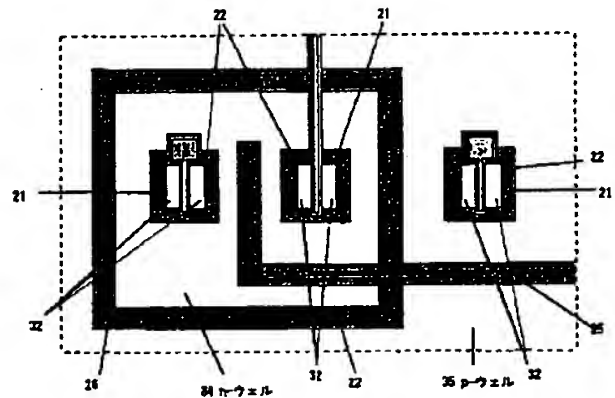
【符号の説明】

11	シリコン基板
21, 25, 26	トレンチパターン
27	ダミーパターン
22~24, 71, 73~75	酸化珪素膜
31	ゲート電極
32	ソース・ドレイン
33	活性領域
34	n-ウェル
35	p-ウェル
36	島状パターン
41, 42	配線
61	研磨パッド
81	レジストパターン
82	平坦化レジスト

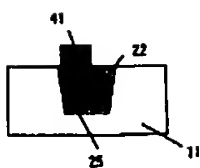
【図1】



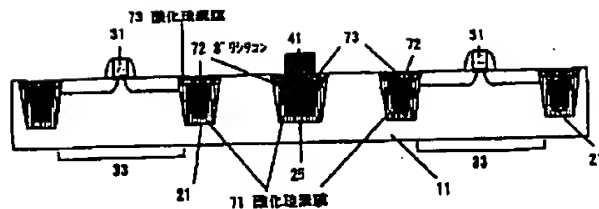
【図2】



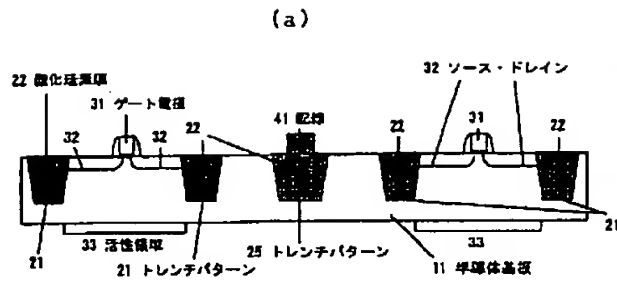
【図4】



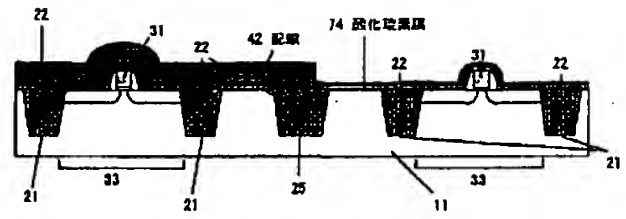
【図5】



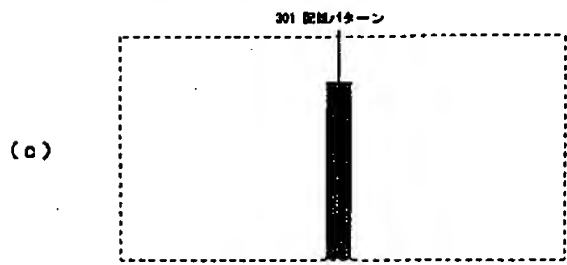
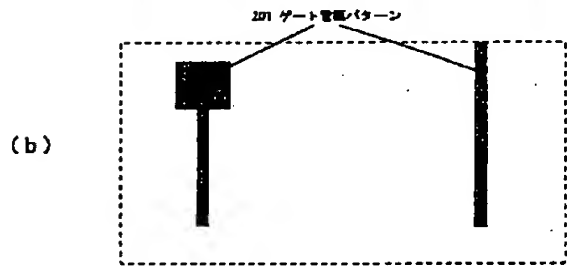
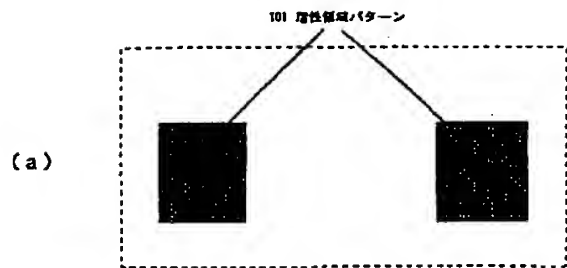
【図3】



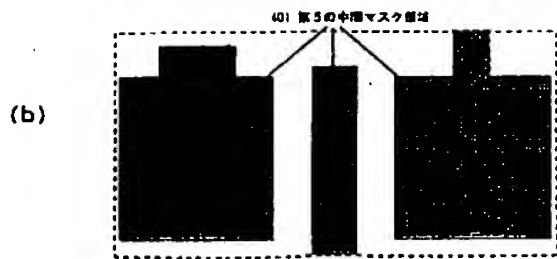
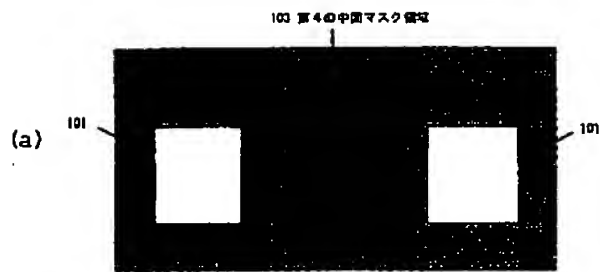
【図6】



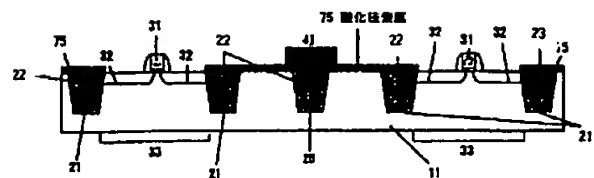
【図7】



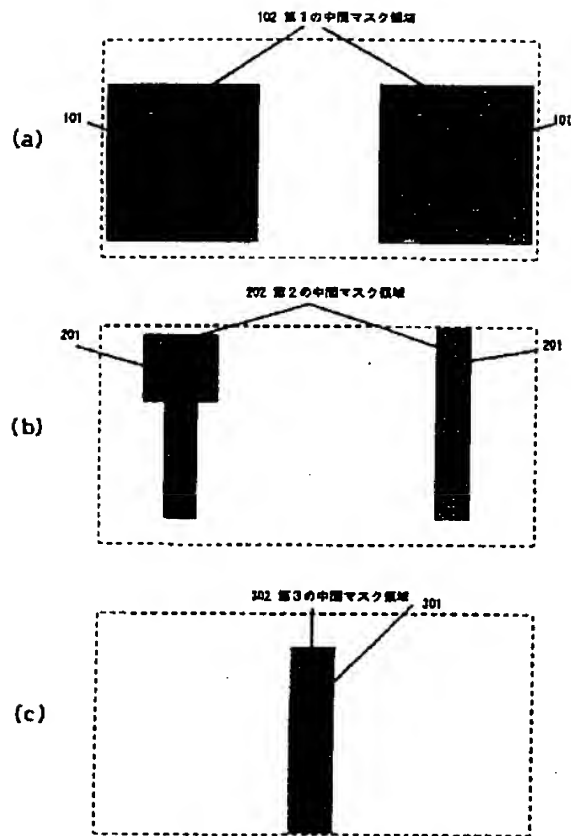
【図9】



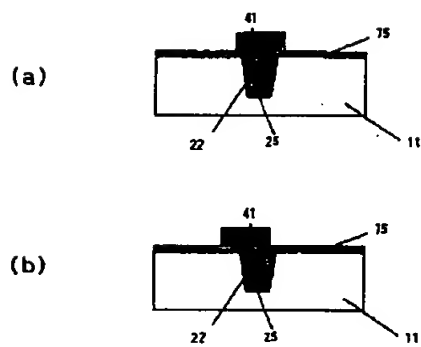
【図17】



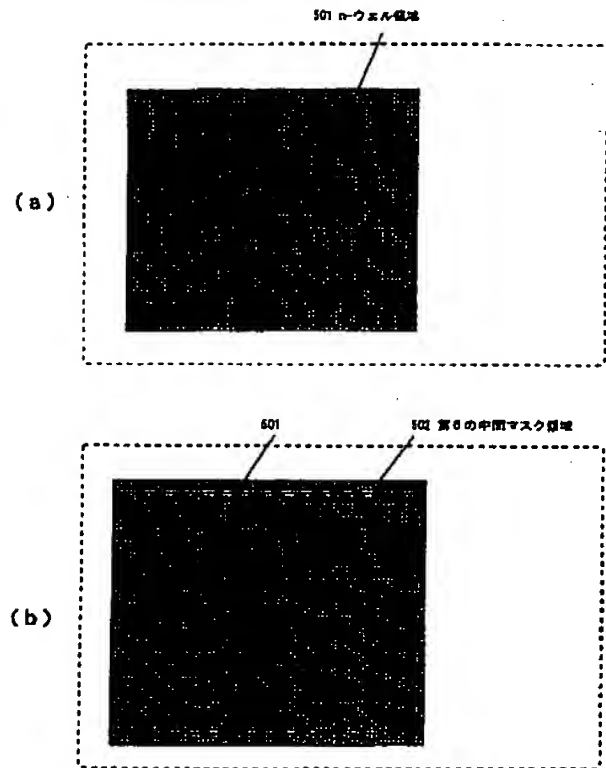
【図8】



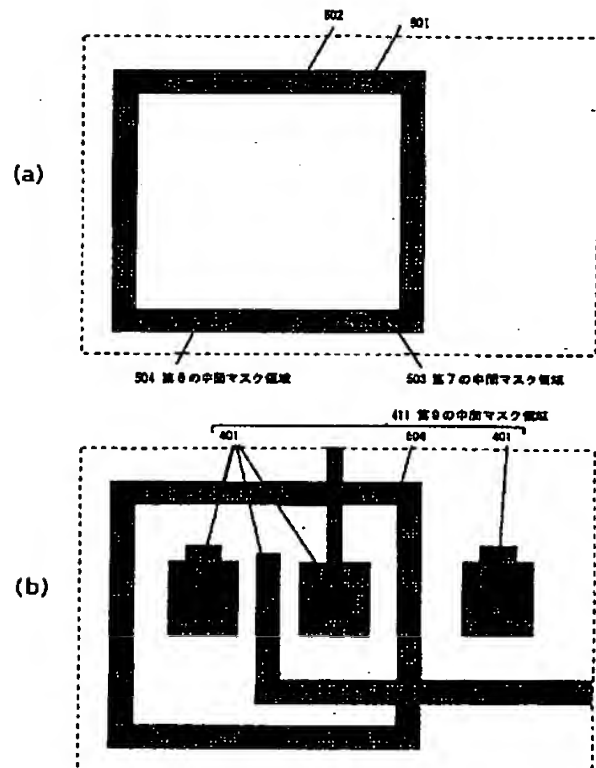
【図18】



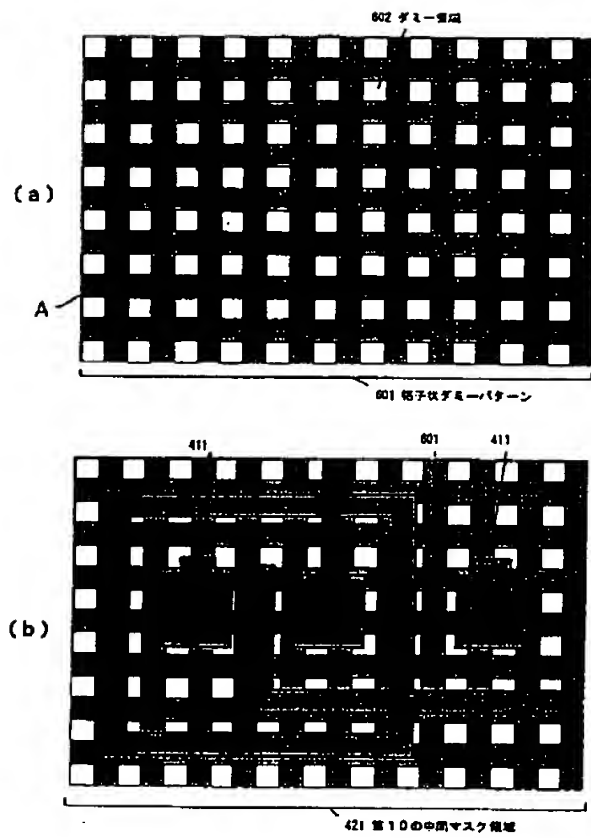
【図10】



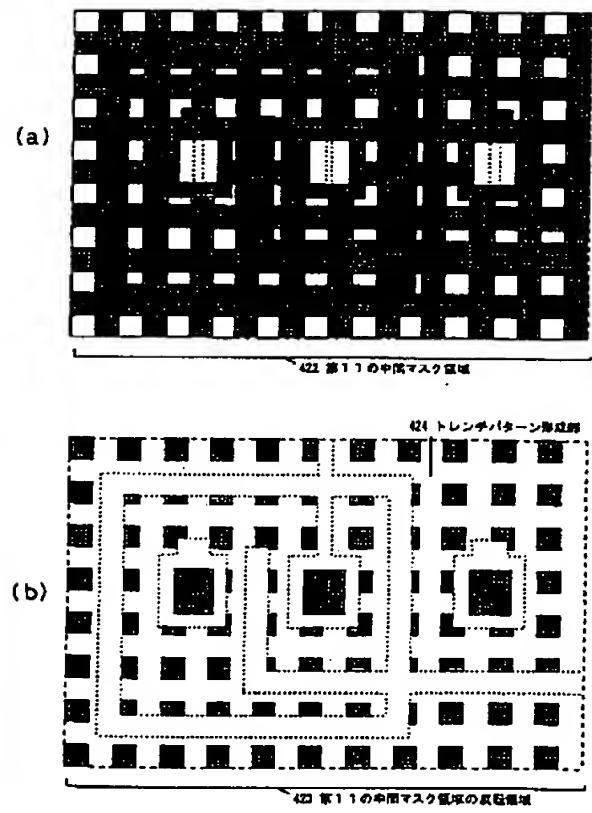
【図11】



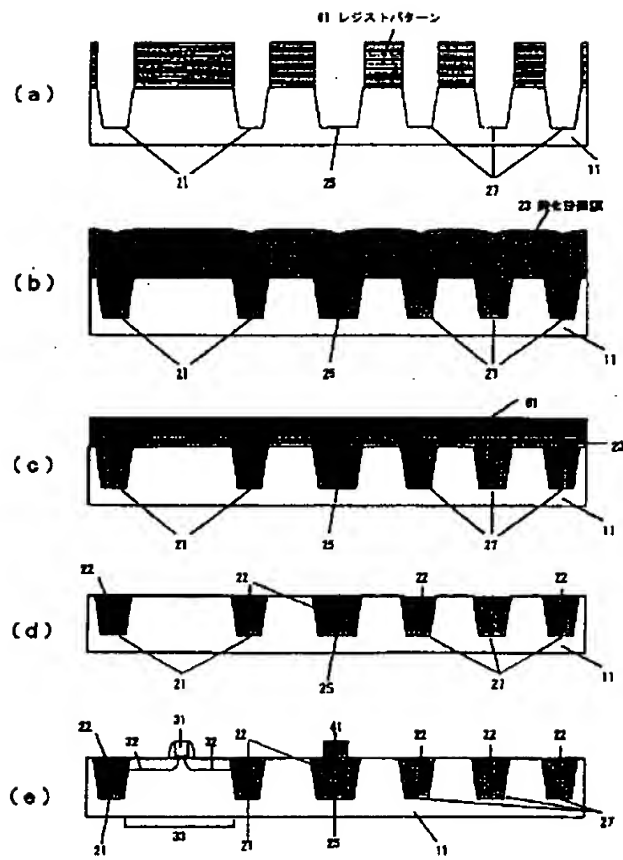
【図12】



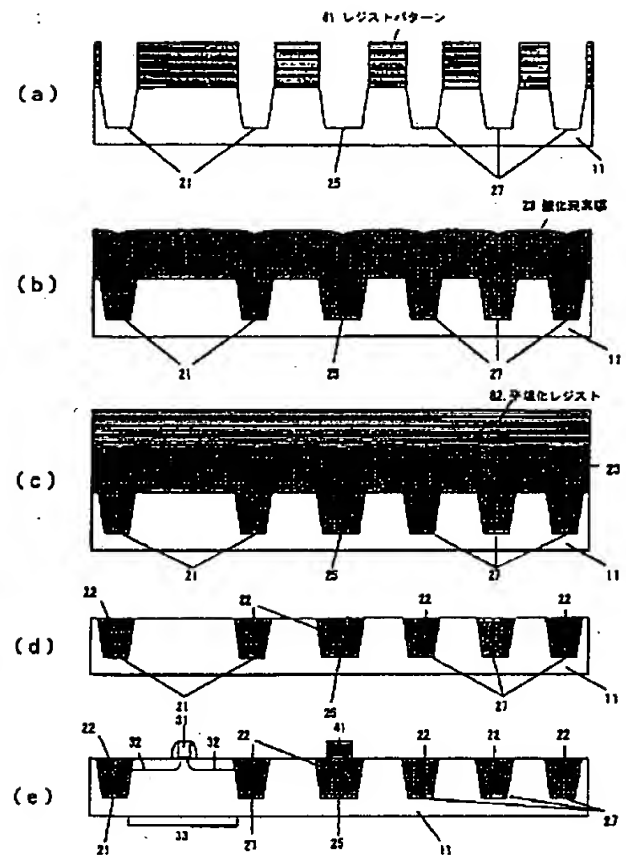
【図13】



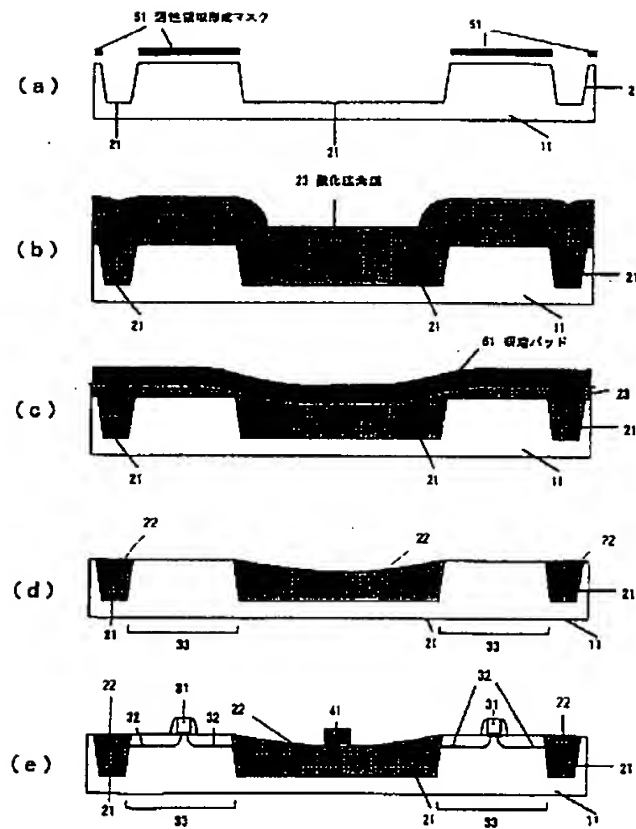
【図14】



【図15】



【図16】



フロントページの続き

(72)発明者 山中 通成

大阪府門真市大字門真1006番地 松下電器

産業株式会社内